**Министерство науки и высшего образования Российской Федерации**

**Ульяновский государственный технический университет**

**Лабораторная работа № 7 по предмету**

**«Алгоритмические и аппаратные средства обработки информации»**

ПРОЕКТИРОВАНИЕ ОСНОВНЫХ ВЫЧИСЛИТЕЛЬНЫХ УЗЛОВ ЦИФРОВЫХ ФИЛЬТРОВ (ТАБЛИЧНЫЙ МНОЖИТЕЛЬ)

**(Название лабораторной работы)**

**Учебная группа ИСТМД-11**

|  |  |  |  |
| --- | --- | --- | --- |
|  | **ФИО** | **Дата** | **Подпись** |
| **Студент** | **Шаблыгин В.В.** |  |  |
| **Преподаватель** | **Сазонов С.Н.** |  |  |

**Ульяновск, 2022**

**ЦЕЛЬ РАБОТЫ:**

Согласно варианту, указанному преподавателем, спроектировать вычислительный узел цифрового фильтра (табличный множитель).

**ОБОРУДОВАНИЕ И ПРИНАДЛЕЖНОСТИ:**

Quartus II.

**Исходные данные:**

**Вариант 1.**

С0 = -1;

С1 = 11;

С2 = 29;

**ВЫПОЛНЕНИЕ РАБОТЫ**

1. Создание программы сумматора на языке VHDL, в Quartus II:

Файл .vhd:

ENTITY lab\_7 IS

GENERIC (

C0 : INTEGER:= -1;

C1 : INTEGER:= 11;

C2 : INTEGER:= 29;

W : NATURAL:=6);

PORT (

ADDR : IN INTEGER RANGE 0 to 3;

clk : IN STD\_LOGIC;

DATA : OUT STD\_LOGIC\_VECTOR(W - 1 downto 0));

END lab\_7;

architecture behavior of lab\_7 is

signal s : integer RANGE - (2\*\*W)+1 TO 2\*\*W - 1;

begin

process(ADDR)

begin

case ADDR is

when 0 => s <= C0;

when 1 => s <= C1;

when 2 => s <= C2;

when 3 => s <= C1 + C2;

end case;

end process;

process(clk)

begin

if (clk'EVENT AND clk = '1') then

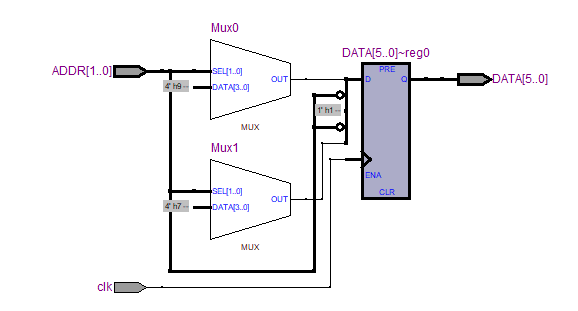
DATA <= CONV\_STD\_LOGIC\_VECTOR(s,W);

end if;

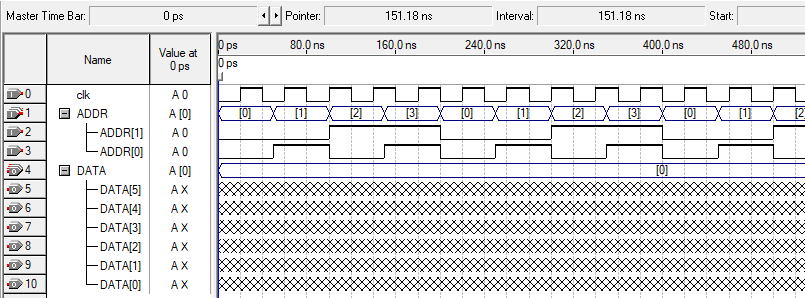
end process;

end behavior;

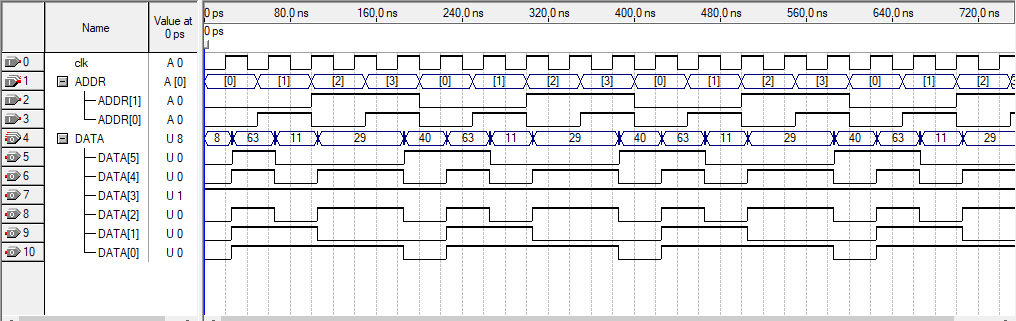
2.Cсинтезированная комбинационная схема табличного множителя:



3.Построение временной диаграммы.



4.Результат симуляции:



**Вывод: в данной работе был построен табличный умножитель и смоделирована его работа.**